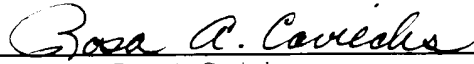


EXPRESS MAIL NUMBER: EL 904 946 142 US

DATE OF DEPOSIT: September 27, 2001

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: **Box PATENT APPLICATION**, Commissioner for Patents; Washington, DC 20231.



Rosa A. Caviedes



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Yamaguchi et al.

Serial No.: Not yet assigned

Group Art Unit: Not yet assigned

Filed: September 27, 2001

Examiner: Not yet assigned

Title: SEMICONDUCTOR DEVICE

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	P2000-297670	09/28/2000

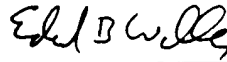
A Certified copy of the corresponding Convention Application(s) is(are) being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: September 27, 2001

By



Edward B. Weller

Reg. No. 37,468

Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
1755 Embarcadero Road
Palo Alto, CA 94303-3340
Telephone: (650) 833-2000
Facsimile: (650) 320-7401

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 9月28日

出 願 番 号

Application Number:

特願2000-297670

出 願 人

Applicant(s):

株式会社東芝

2001年 6月12日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造

出証番号 出証特2001-3054931

【書類名】 特許願

【整理番号】 A000004588

【提出日】 平成12年 9月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明の名称】 半導体デバイス

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 山口 明

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 前野 宗昭

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体デバイス

【特許請求の範囲】

【請求項 1】 複数の配線層を有する半導体デバイスにおいて、前記複数の配線層のうちの少なくとも 1 つの中間層の厚さが前記少なくとも 1 つの中間層よりも上に形成される少なくとも 1 つの配線層の厚さよりも厚くなっていることを特徴とする半導体デバイス。

【請求項 2】 前記少なくとも 1 つの中間層の配線ピッチは、前記少なくとも 1 つの中間層よりも上に形成される少なくとも 1 つの配線層の配線ピッチよりも広いことを特徴とする請求項 1 記載の半導体デバイス。

【請求項 3】 前記少なくとも 1 つの中間層は、電源用配線又は信号線に使用されることを特徴とする請求項 1 記載の半導体デバイス。

【請求項 4】 前記少なくとも 1 つの中間層の厚さは、前記複数の配線層の最上層の厚さに実質的に等しいことを特徴とする請求項 1 記載の半導体デバイス。

【請求項 5】 1 チップ内に少なくとも 1 つの I P コアが搭載される半導体デバイスにおいて、前記半導体デバイスは、複数の配線層を有し、かつ、前記複数の配線層のうちの少なくとも 1 つの中間層の厚さが前記少なくとも 1 つの中間層よりも上に形成される少なくとも 1 つの配線層の厚さよりも厚くなっていることを特徴とする半導体デバイス。

【請求項 6】 前記少なくとも 1 つの中間層は、前記少なくとも 1 つの I P コアの最上層であることを特徴とする請求項 5 記載の半導体デバイス。

【請求項 7】 前記少なくとも 1 つの中間層は、前記少なくとも 1 つの I P コアに対するコア電源用配線に使用されることを特徴とする請求項 5 記載の半導体デバイス。

【請求項 8】 前記少なくとも 1 つの中間層の厚さは、前記複数の配線層の最上層の厚さに実質的に等しいことを特徴とする請求項 5 記載の半導体デバイス。

【請求項 9】 前記少なくとも 1 つの中間層の配線ピッチは、前記少なくと

も 1 つの中間層よりも上に形成される少なくとも 1 つの配線層の配線ピッチよりも広いことを特徴とする請求項 5 記載の半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多層配線構造を有する半導体デバイスに関し、特に、IP コアを利用して製造されたシステム L S I に適用される。

【0002】

【従来の技術】

近年におけるプロセス技術の進歩は、半導体素子の微細化、高集積化を進展させ、これに伴って、1 チップ上に、システム全体を搭載することが可能になってきた。しかし、システムを構成する回路は、大規模かつ複雑であり、従来のように、このような回路をゲートレベルから設計するには、多大なリソースを必要とし、効率的ではない。

【0003】

このような問題の解決も含めて、L S I の設計効率の向上を図るために、汎用的な機能ブロックについては、過去の設計資産を再利用し、これらをチップ上で組み合わせる設計手法が広まりつつある。

【0004】

ところで、このような設計資産は、IP (Intellectual Property) と呼ばれ、また、例えば、IP コアとしてライブラリに保存され、必要なときに、自由に取り出せるようになっている。

【0005】

【発明が解決しようとする課題】

図 2 3 は、IP コアを示している。また、図 2 4 は、図 2 3 の IP コアのデバイス構造の一例を示している。

【0006】

本例では、IP コアは、3 層のメタル層 M 1 , M 2 , M 3 により実現される。これらメタル層 M 1 , M 2 , M 3 は、全て同じ厚さを有し、薄い配線層となって

いる。そして、設計時に、この I P コアを利用する場合には、メタル層 M 1, M 2, M 3 をそのまま利用し、かつ、図 2 5 及び図 2 6 に示すように、メタル層 M 4, M 5 を付け足して、チップ内に所定の機能ブロック（回路）を形成する。

【 0 0 0 7 】

ここで、メタル層 M 4 は、メタル層 M 1, M 2, M 3 と同様に、薄い配線層であるが、メタル層 M 5 は、メタル層 M 1, M 2, M 3, M 4 よりも厚く、厚い配線層となっている。なお、最上層であるメタル層 M 5 は、例えば、チップ電源用配線として使用される。

【 0 0 0 8 】

近年では、例えば、半導体デバイスの中間層に電源用配線を設けたいという要求や、信号の高速転送の要求などがあり、そのため、半導体デバイスの中間層（例えば、メタル層 M 3）の厚さを、最上層（メタル層 M 5）の厚さと同じ程度にすることが望まれている。

【 0 0 0 9 】

この場合、I P コアは、図 2 3 及び図 2 4 に示すような構造から図 2 7 及び図 2 8 に示すような構造に変える必要がある。

【 0 0 1 0 】

しかし、従来では、図 2 7 及び図 2 8 に示すように、I P コアのメタル層 M 3 の厚さを厚くすると、この I P コアを用いて半導体デバイスを形成する場合に、図 2 9 及び図 3 0 に示すように、メタル層 M 3 上の全てのメタル層 M 4, M 5 についても、厚い配線層としていた。

【 0 0 1 1 】

この場合、当然に、メタル層 M 3, M 4, M 5 については、配線ピッチが広がるため、メタル層 M 3 より上層において、配線数（特に、信号線の数）を増やすことができないという問題が生じている。

【 0 0 1 2 】

また、通常の半導体デバイスは、最上層（メタル層 M 5）のみが厚い配線層であり、その他のメタル層（メタル層 M 1, M 2, M 3, M 4）は、薄い配線層となっている。従って、図 2 7 及び図 2 8 に示すように、I P コアのメタル層 M 3

の厚さを厚くすると、このような通常の半導体デバイスを設計する際には、この I P コアを利用することはできず、最初から設計しなければならないという問題がある。

【 0 0 1 3 】

本発明は、上記問題を解決するためになされたもので、その目的は、 I P コアの最上層の厚さを共通化する（例えば、厚くする）と共に、 I P コアの最上層の厚さによらず、さらに、その上のメタル層の厚さを任意に決定できる半導体デバイスを提案し、もって、設計効率の向上を図ることにある。

【 0 0 1 4 】

【課題を解決するための手段】

本発明の半導体デバイスは、複数の配線層を有し、前記複数の配線層のうちの少なくとも 1 つの中間層の厚さが前記少なくとも 1 つの中間層よりも上に形成される少なくとも 1 つの配線層の厚さよりも厚くなっている。

【 0 0 1 5 】

前記少なくとも 1 つの中間層の配線ピッチは、前記少なくとも 1 つの中間層よりも上に形成される少なくとも 1 つの配線層の配線ピッチよりも広い。前記少なくとも 1 つの中間層は、電源用配線又は信号線に使用される。

【 0 0 1 6 】

前記少なくとも 1 つの中間層の厚さは、前記複数の配線層の最上層の厚さに実質的に等しい。

【 0 0 1 7 】

本発明の半導体デバイスは、 1 チップ内に少なくとも 1 つの I P コアが搭載され、さらに、本発明の半導体デバイスは、複数の配線層を有し、かつ、前記複数の配線層のうちの少なくとも 1 つの中間層の厚さが前記少なくとも 1 つの中間層よりも上に形成される少なくとも 1 つの配線層の厚さよりも厚くなっている。

【 0 0 1 8 】

前記少なくとも 1 つの中間層は、前記少なくとも 1 つの I P コアの最上層である。前記少なくとも 1 つの中間層は、前記少なくとも 1 つの I P コアに対するコア電源用配線に使用される。

【 0 0 1 9 】

前記少なくとも 1 つの中間層の厚さは、前記複数の配線層の最上層の厚さに実質的に等しい。前記少なくとも 1 つの中間層の配線ピッチは、前記少なくとも 1 つの中間層よりも上に形成される少なくとも 1 つの配線層の配線ピッチよりも広い。

【 0 0 2 0 】

【発明の実施の形態】

以下、図面を参照しながら、本発明の半導体デバイスについて詳細に説明する。

【 0 0 2 1 】

図 1 は、IP コアを示している。また、図 2 は、図 1 の IP コアのデバイス構造の一例を示している。

【 0 0 2 2 】

本例では、IP コア (IP 1) は、3 層のメタル層 M 1, M 2, M 3 により実現される。そして、IP コアのメタル層 M 1, M 2 は、主に、信号線として用いられ、薄い配線層となっている。また、IP コアの最上層 (メタル層) M 3 は、主に、コア電源用配線として用いられ、メタル層 M 1, M 2 よりも厚く、厚い配線層となっている。

【 0 0 2 3 】

なお、本例では、メタル層 M 1, M 2 の配線幅は、同じであると仮定している。また、メタル層 M 3 については、例えば、コア電源用配線として用いる部分については、広い幅とし、信号線として用いる部分については、図示するように、メタル層 M 1, M 2 と同様に、狭い配線幅とする。但し、コア電源用配線として用いる部分のメタル層についても、狭い幅としても構わない。

【 0 0 2 4 】

そして、設計時に、この IP コアを利用する場合には、メタル層 M 1, M 2, M 3 をそのまま利用し、かつ、図 3 及び図 4 に示すように、メタル層 M 4, M 5 を付け足して、チップ内に所定の機能ブロック (回路) を形成する。

【 0 0 2 5 】

ここで、メタル層M4は、主に、信号線として用いられ、メタル層M1、M2と同様に、薄い配線層となっている。一方、半導体デバイスの最上層（メタル層）M5は、主に、チップ電源用配線及びパッド用メタルとして用いられ、メタル層M3と同様に、厚い配線層となっている。

【0026】

このように、本発明の半導体デバイスは、複数の配線層のうちの少なくとも1つの中間層（最上層及び最下層を除く配線層）が厚膜から構成されると共に、その少なくとも1つの中間層上の少なくとも1つの配線層が薄膜から構成されている点に特徴を有する。

【0027】

つまり、従来では、厚い配線層は、薄い配線層上に形成され、かつ、厚い配線層上には、薄い配線層が形成されていなかったのに対し、本発明では、厚い配線層上にも、必要に応じて、薄い配線層を形成できるようにしている。

【0028】

これにより、例えば、IPコアの最上層をコア電源用配線として使用するために、IPコアの最上層を厚膜から構成する場合においても、このIPコアを利用した半導体デバイスにおいては、IPコアの最上層よりもさらに上の信号線として用いる配線層を薄膜から構成することができる。

【0029】

そして、コア電源用配線により、IPコア（機能ブロック）の性能を向上させることができると共に、IPコアの最上層上の配線層を薄膜から構成することができるため、配線効率がよくなり、最適なIP設計、製品開発が行えるようになる。

【0030】

図5は、IPコアを示している。また、図6は、図5のIPコアのデバイス構造の一例を示している。

【0031】

本例のIPコア（IP2）は、例えば、図1及び図2のIPコア（IP1）とは異なる機能を有している。しかし、両IPコアは、メタル層の数及び各メタル

層の厚さについて、互いに共通化されている。

【 0 0 3 2 】

I P コア (I P 1) は、3 層のメタル層 M 1 , M 2 , M 3 により実現される。そして、I P コアのメタル層 M 1 , M 2 は、主に、信号線として用いられ、薄い配線層となっている。また、I P コアの最上層 (メタル層) M 3 は、主に、コア電源用配線として用いられ、メタル層 M 1 , M 2 よりも厚く、厚い配線層となっている。

【 0 0 3 3 】

なお、本例では、メタル層 M 1 , M 2 の配線幅は、同じであると仮定している。また、メタル層 M 3 については、例えば、コア電源用配線として用いる部分については、図示するように、広い幅とし、信号線として用いる部分については、メタル層 M 1 , M 2 と同様に、狭い配線幅とする。但し、コア電源用配線として用いる部分のメタル層についても、狭い幅としても構わない。

【 0 0 3 4 】

そして、設計時に、この I P コアを利用する場合には、メタル層 M 1 , M 2 , M 3 をそのまま利用し、かつ、図 7 及び図 8 に示すように、メタル層 M 4 , M 5 を付け足して、チップ内に所定の機能ブロック (回路) を形成する。

【 0 0 3 5 】

ここで、メタル層 M 4 は、主に、信号線として用いられ、メタル層 M 1 , M 2 と同様に、薄い配線層となっている。一方、半導体デバイスの最上層 (メタル層) M 5 は、主に、チップ電源用配線及びパッド用メタルとして用いられ、メタル層 M 3 と同様に、厚い配線層となっている。

【 0 0 3 6 】

このように、本発明の半導体デバイスは、複数の配線層のうちの少なくとも 1 つの中間層 (最上層及び最下層を除く配線層) が厚膜から構成されると共に、その少なくとも 1 つの中間層上の少なくとも 1 つの配線層が薄膜から構成されている点に特徴を有する。

【 0 0 3 7 】

つまり、従来では、厚い配線層は、薄い配線層上に形成され、かつ、厚い配線

層上には、薄い配線層が形成されていなかったのに対し、本発明では、厚い配線層上にも、必要に応じて、薄い配線層を形成できるようにしている。

【 0 0 3 8 】

これにより、例えば、IPコアの最上層をコア電源用配線として使用するために、IPコアの最上層を厚膜から構成する場合においても、このIPコアを利用した半導体デバイスにおいては、IPコアの最上層よりもさらに上の信号線として用いる配線層を薄膜から構成することができる。

【 0 0 3 9 】

そして、コア電源用配線により、IPコア（機能ブロック）の性能を向上させることができると共に、IPコアの最上層上の配線層を薄膜から構成することができるため、配線効率がよくなり、最適なIP設計、製品開発が行えるようになる。

【 0 0 4 0 】

ところで、本発明によれば、図1及び図2のIPコア（IP1）と図5及び図6のIPコア（IP2）は、互いに配線層の数及び各配線層の厚さが共通化されている。従って、例えば、図9及び図10に示すように、1つの半導体チップ内に、IPコア（IP1）とIPコア（IP2）を取り込んで、1つのシステムを構成する場合においても、各IPコアのレイアウトをそのまま使用できるため、設計効率が向上し、半導体デバイスの開発期間を短縮できる。

【 0 0 4 1 】

図11は、IPコアを示している。また、図12は、図11のIPコアのデバイス構造の一例を示している。

【 0 0 4 2 】

本例では、IPコア（IP3）は、3層のメタル層M1，M2，M3により実現される。そして、IPコアのメタル層M1，M2は、主に、信号線として用いられ、薄い配線層となっている。また、IPコアの最上層（メタル層）M3は、主に、コア電源用配線として用いられ、メタル層M1，M2よりも厚く、厚い配線層となっている。

【 0 0 4 3 】

なお、本例では、メタル層M1，M2の配線幅は、同じであると仮定している。また、メタル層M3については、例えば、コア電源用配線として用いる部分については、図示するように、広い幅とし、信号線として用いる部分については、メタル層M1，M2と同様に、狭い配線幅とする。但し、コア電源用配線として用いる部分のメタル層についても、狭い幅としても構わない。

【0044】

そして、設計時に、このIPコアを利用する場合には、メタル層M1，M2，M3をそのまま利用し、かつ、図13及び図14に示すように、メタル層M4，M5，M6を付け足して、チップ内に所定の機能ブロック（回路）を形成する。

【0045】

ここで、メタル層M4，M5は、主に、信号線として用いられ、メタル層M1，M2と同様に、薄い配線層となっている。一方、半導体デバイスの最上層（メタル層）M6は、主に、チップ電源用配線及びパッド用メタルとして用いられ、メタル層M3と同様に、厚い配線層となっている。

【0046】

このように、本発明の半導体デバイスは、複数の配線層のうちの少なくとも1つの中間層（最上層及び最下層を除く配線層）が厚膜から構成されると共に、その少なくとも1つの中間層上の少なくとも1つの配線層が薄膜から構成されている点に特徴を有する。

【0047】

つまり、従来では、厚い配線層は、薄い配線層上に形成され、かつ、厚い配線層上には、薄い配線層が形成されていなかったのに対し、本発明では、厚い配線層上にも、必要に応じて、薄い配線層を形成できるようにしている。

【0048】

これにより、例えば、IPコアの最上層をコア電源用配線として使用するために、IPコアの最上層を厚膜から構成する場合においても、このIPコアを利用した半導体デバイスにおいては、IPコアの最上層よりもさらに上の信号線として用いる配線層を薄膜から構成することができる。

【0049】

そして、コア電源用配線により、IPコア（機能ブロック）の性能を向上させることができると共に、IPコアの最上層上の配線層を薄膜から構成することができるため、配線効率がよくなり、最適なIP設計、製品開発が行えるようになる。

【0050】

図15は、IPコアを示している。また、図16は、図15のIPコアのデバイス構造の一例を示している。

【0051】

本例のIPコア（IP4）は、例えば、図11及び図12のIPコア（IP3）とは異なる機能を有している。しかし、両IPコアは、メタル層の数及び各メタル層の厚さについて、互いに共通化されている。

【0052】

IPコア（IP3）は、3層のメタル層M1，M2，M3により実現される。そして、IPコアのメタル層M1，M2は、主に、信号線として用いられ、薄い配線層となっている。また、IPコアの最上層（メタル層）M3は、主に、コア電源用配線として用いられ、メタル層M1，M2よりも厚く、厚い配線層となっている。

【0053】

なお、本例では、メタル層M1，M2の配線幅は、同じであると仮定している。また、メタル層M3については、例えば、コア電源用配線として用いる部分については、図示するように、広い幅とし、信号線として用いる部分については、メタル層M1，M2と同様に、狭い配線幅とする。但し、コア電源用配線として用いる部分のメタル層についても、狭い幅としても構わない。

【0054】

そして、設計時に、このIPコアを利用する場合には、メタル層M1，M2，M3をそのまま利用し、かつ、図17及び図18に示すように、メタル層M4を付け足して、チップ内に所定の機能ブロック（回路）を形成する。ここで、メタル層M4は、主に、信号線として用いられ、メタル層M1，M2と同様に、薄い配線層となっている。

【 0 0 5 5 】

このように、本発明の半導体デバイスは、複数の配線層のうちの少なくとも 1 つの中間層（最上層及び最下層を除く配線層）が厚膜から構成されると共に、その少なくとも 1 つの中間層上の少なくとも 1 つの配線層が薄膜から構成されている点に特徴を有する。

【 0 0 5 6 】

つまり、従来では、厚い配線層は、薄い配線層上に形成され、かつ、厚い配線層上には、薄い配線層が形成されていなかったのに対し、本発明では、厚い配線層上にも、必要に応じて、薄い配線層を形成できるようにしている。

【 0 0 5 7 】

これにより、例えば、IP コアの最上層をコア電源用配線として使用するために、IP コアの最上層を厚膜から構成する場合においても、この IP コアを利用した半導体デバイスにおいては、IP コアの最上層よりもさらに上の信号線として用いる配線層を薄膜から構成することができる。

【 0 0 5 8 】

そして、コア電源用配線により、IP コア（機能ブロック）の性能を向上させることができると共に、IP コアの最上層上の配線層を薄膜から構成することができるため、配線効率がよくなり、最適な IP 設計、製品開発が行えるようになる。

【 0 0 5 9 】

ところで、本発明によれば、図 1 1 及び図 1 2 の IP コア（IP 3）と図 1 5 及び図 1 6 の IP コア（IP 4）は、互いに配線層の数及び各配線層の厚さが共通化されている。従って、例えば、図 1 9 及び図 2 0 に示すように、1 つの半導体チップ内に、IP コア（IP 3）と IP コア（IP 4）を取り込んで、1 つのシステムを構成する場合においても、各 IP コアのレイアウトをそのまま使用できるため、設計効率が向上し、半導体デバイスの開発期間を短縮できる。

【 0 0 6 0 】

図 2 1 は、本発明に関わる半導体デバイスの各配線層の厚さと、従来の半導体デバイスの各配線層の厚さとの関係を示している。

【 0 0 6 1 】

例えば、IPコアが m (m は、自然数) 層の配線層から構成され、このIPコアを利用した半導体デバイスが n (n は、 $n > m$ を満たす自然数) 層の配線層から構成される場合に、従来では、最も下層の厚い配線層上には、常に、厚い配線層が形成されていたのに対し、本発明では、最も下層の厚い配線層上にも、必要に応じて、薄い配線層を形成することができる。

【 0 0 6 2 】

図22は、1つの半導体チップ内に4つのIPコアを組み込んだ例を示している。

【 0 0 6 3 】

このようなシステムLSIにおいて、例えば、IPコア (IP1, IP2, IP4) の最上層 M_m をコア電源用配線として使用すると共に、IPコア (IP3) の最上層 M_m を信号線として使用することもできる。なお、IPコア同士の電氣的接続は、各IPコアの間のスペースに配置された配線層 (例えば、 $M_1 \sim M_m$) を用いて行ってもよいし、これに代えて、例えば、IPコアの配線層上の配線層 (例えば、 $M_{m+1} \sim M_n$) を用いて行ってもよい。

【 0 0 6 4 】

なお、本発明は、全ての半導体デバイスに適用できる他、特に、IPコアを利用した半導体デバイス、例えば、メモリ混載ロジックLSI、システムLSIなどに適用できる。

【 0 0 6 5 】

【発明の効果】

以上、説明したように、本発明の半導体デバイスによれば、各IPコアの各配線層の数及び厚さを共通化している。特に、各IPコアの最上層を厚膜から構成し、この厚膜から構成された最上層を、コア電源用配線又は信号線として使用するようにしている。従って、複数のIPコアを1チップ内に混載する場合においても、各IPコアの性能が変化するようなことはなく、また、性能維持のためにレイアウトを変更する必要もない。

【 0 0 6 6 】

また、I P コアの最上層が厚膜から構成されているため、これをコア電源用配線として用いれば、I P コアの性能が低下することもない。

【 0 0 6 7 】

また、このような I P コアを利用した半導体デバイスにおいては、I P コアの最上層よりもさらに上に配置される信号線として用いる配線層を薄膜から構成することができる。つまり、全ての配線層に関して、配線層の目的に合わせて、配線層の厚さ及びピッチを自由に決定できるため、配線効率がよくなり、最適な I P 設計、製品開発が行えるようになる。

【図面の簡単な説明】

【図 1】

I P コアを示す図。

【図 2】

図 1 の I P コアのデバイス構造を示す断面図。

【図 3】

図 1 の I P コアを搭載したチップを示す図。

【図 4】

図 3 の半導体デバイスの構造を示す断面図。

【図 5】

I P コアを示す図。

【図 6】

図 5 の I P コアのデバイス構造を示す断面図。

【図 7】

図 5 の I P コアを搭載したチップを示す図。

【図 8】

図 7 の半導体デバイスの構造を示す断面図。

【図 9】

図 1 の I P コアと図 5 の I P コアを搭載したチップを示す図。

【図 1 0】

図 9 の半導体デバイスの構造を示す断面図。

【図 1 1】

I P コアを示す図。

【図 1 2】

図 1 1 の I P コアのデバイス構造を示す断面図。

【図 1 3】

図 1 1 の I P コアを搭載したチップを示す図。

【図 1 4】

図 1 3 の半導体デバイスの構造を示す断面図。

【図 1 5】

I P コアを示す図。

【図 1 6】

図 1 5 の I P コアのデバイス構造を示す断面図。

【図 1 7】

図 1 5 の I P コアを搭載したチップを示す図。

【図 1 8】

図 1 7 の半導体デバイスの構造を示す断面図。

【図 1 9】

図 1 1 の I P コアと図 1 5 の I P コアを搭載したチップを示す図。

【図 2 0】

図 1 9 の半導体デバイスの構造を示す断面図。

【図 2 1】

本発明と従来について配線層の厚さの関係を比較して示す図。

【図 2 2】

4 つの I P コアを搭載したチップを示す図。

【図 2 3】

I P コアを示す図。

【図 2 4】

図 2 3 の I P コアのデバイス構造を示す断面図。

【図 2 5】

図 2 3 の I P コアを搭載したチップを示す図。

【図 2 6】

図 2 5 の半導体デバイスの構造を示す断面図。

【図 2 7】

I P コアを示す図。

【図 2 8】

図 2 7 の I P コアのデバイス構造を示す断面図。

【図 2 9】

図 2 7 の I P コアを搭載したチップを示す図。

【図 3 0】

図 2 9 の半導体デバイスの構造を示す断面図。

【符号の説明】

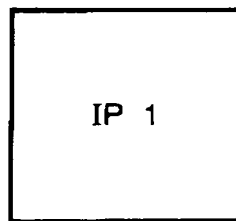
I P 1, I P 2, I P 3, I P 4, I P 5, I P 6 : I P コア、

M 1, M 2, M 3, M 4, M 5, M 6 : メタル層。

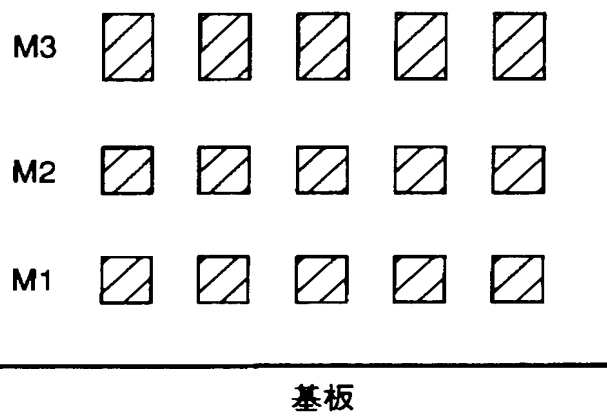
【書類名】

図面

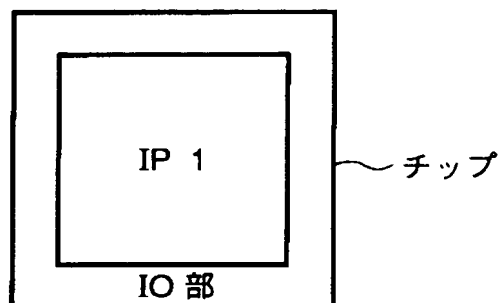
【図 1】



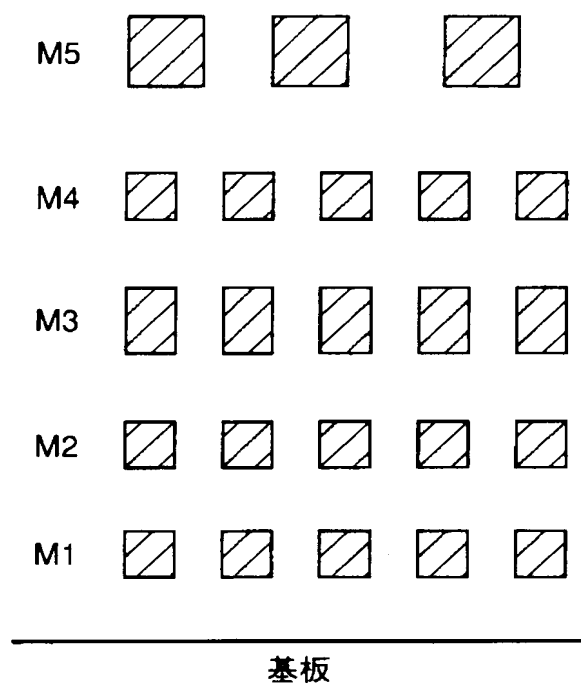
【図 2】



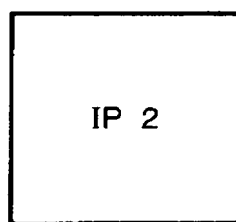
【図 3】



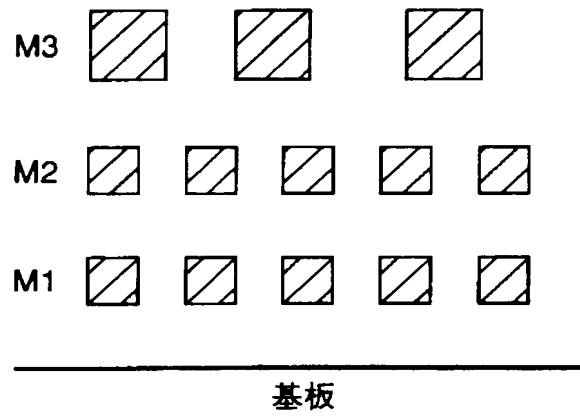
【図 4】



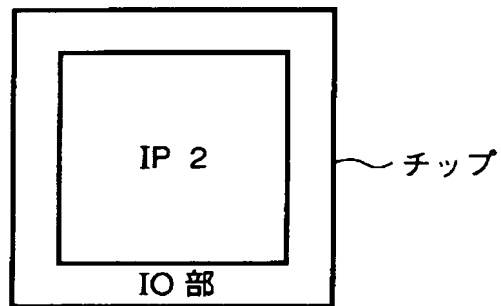
【図 5】



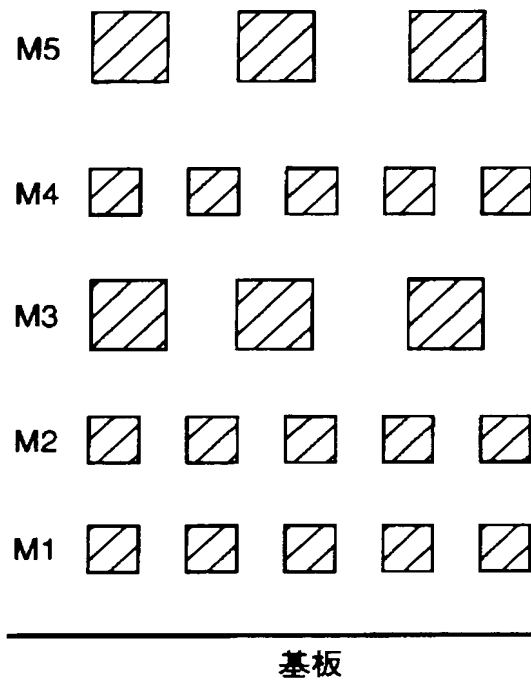
【図 6】



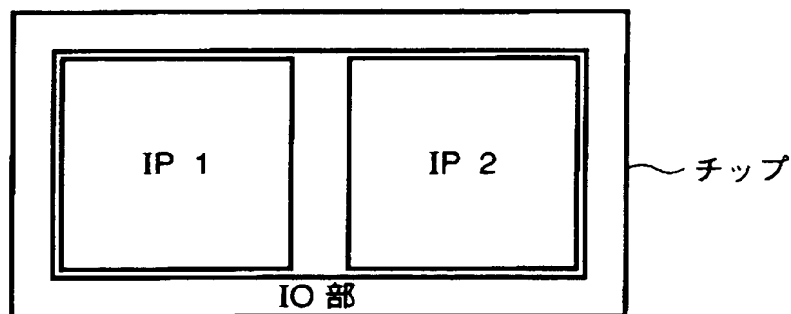
【図 7】



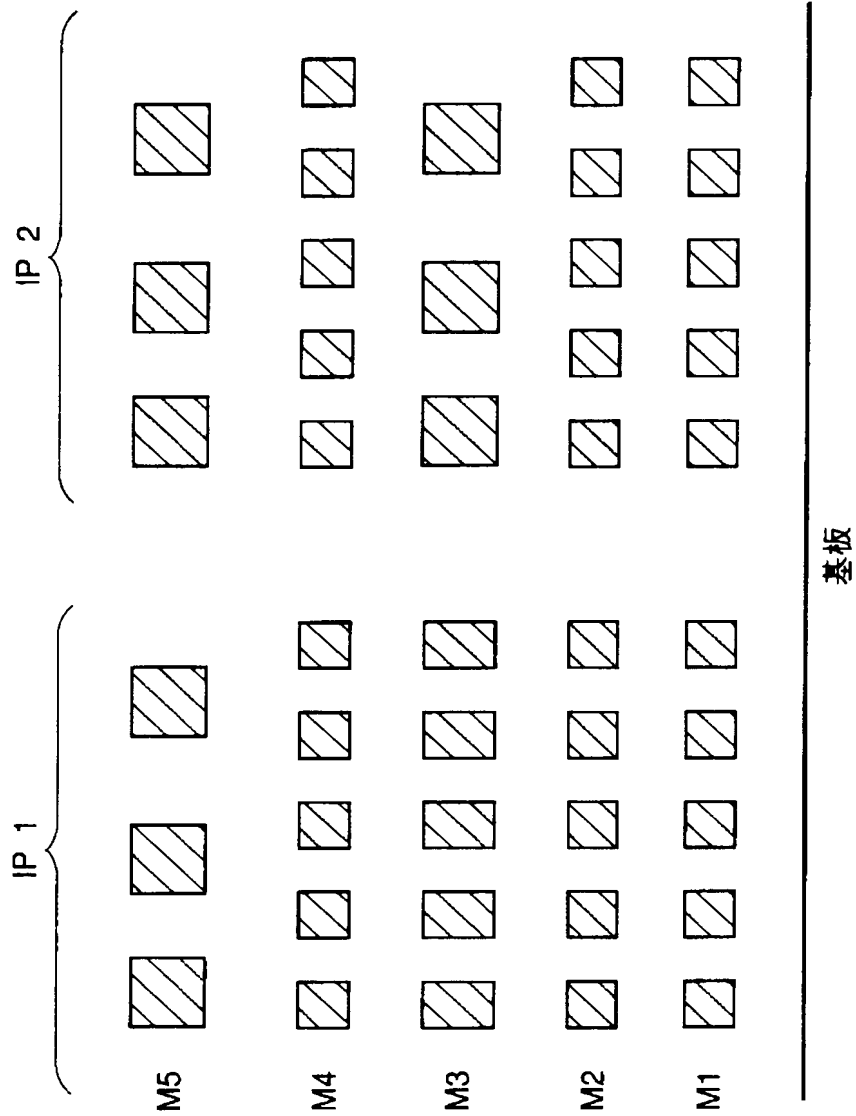
【図 8】



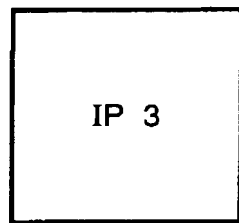
【図 9】



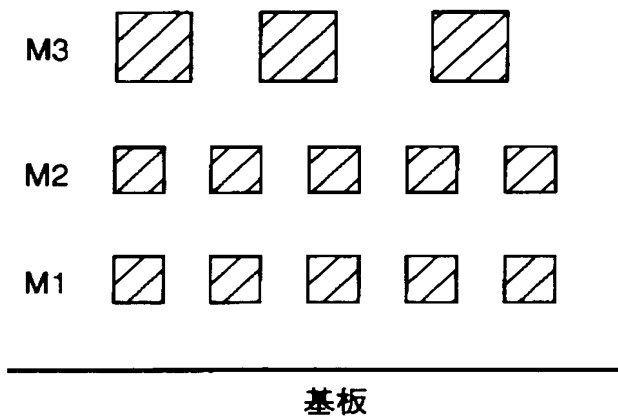
【図 1 0】



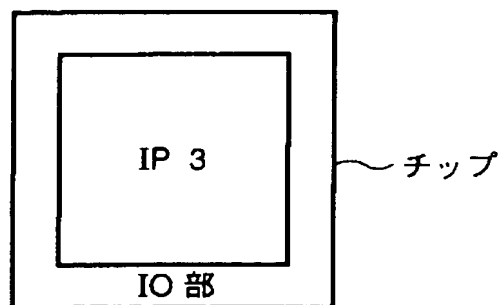
【図 1 1】



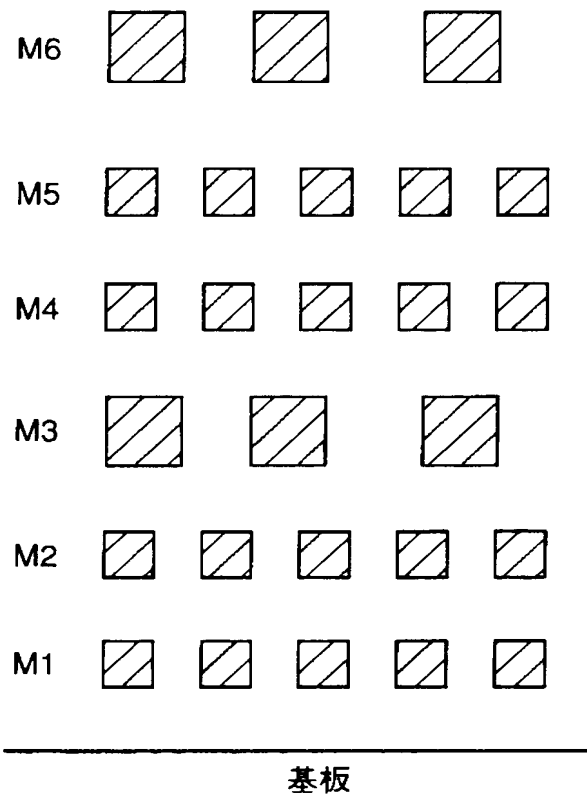
【図 1 2】



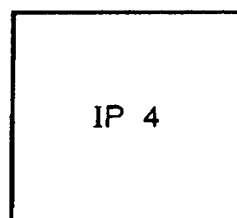
【図 1 3】



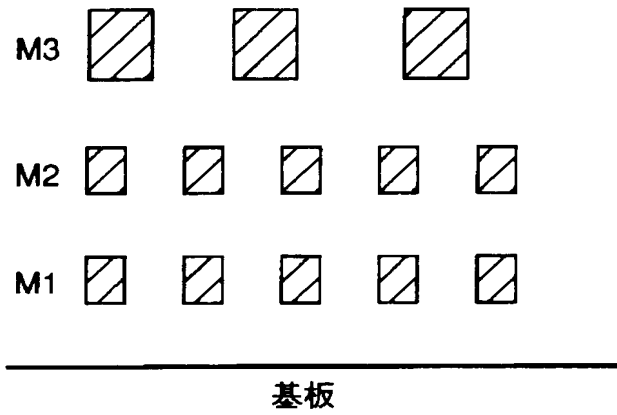
【図 1 4】



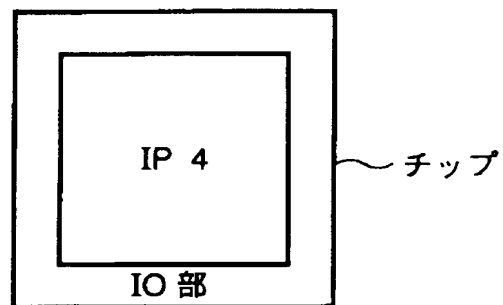
【図 1 5】



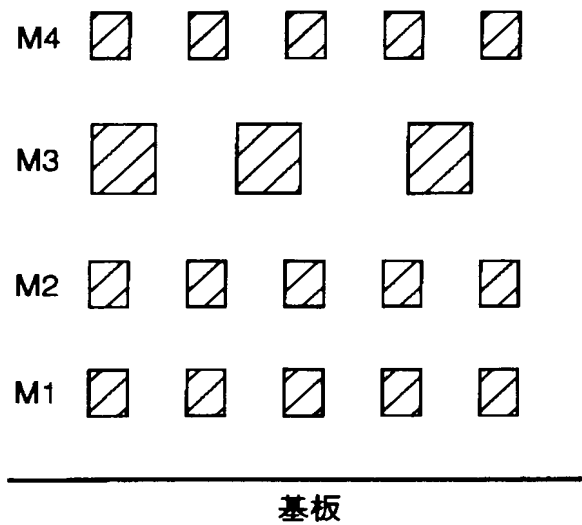
【図 1 6】



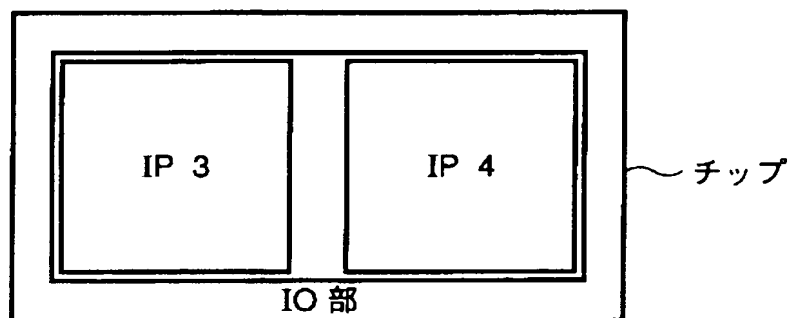
【図 1 7】



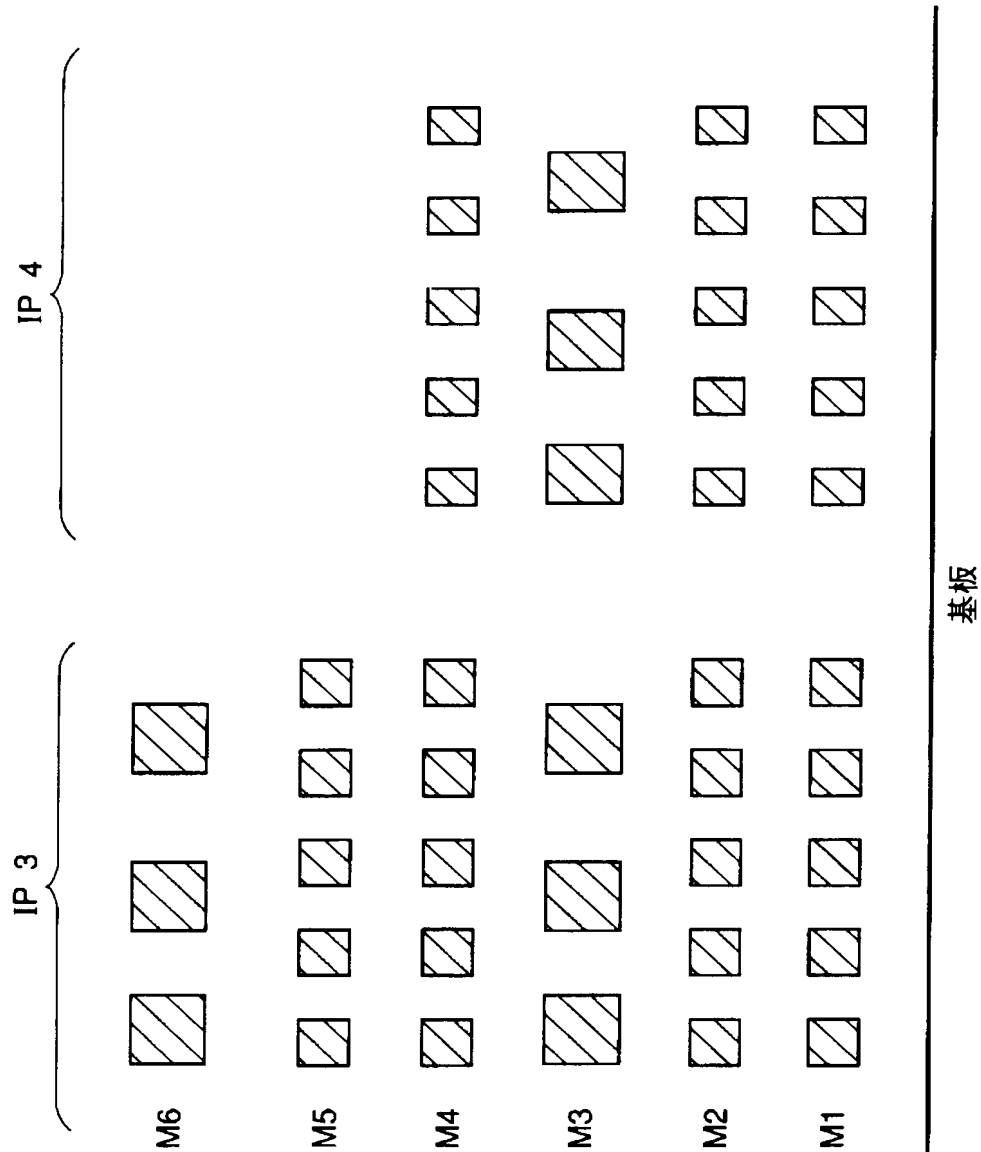
【図 1 8】



【図 1 9】



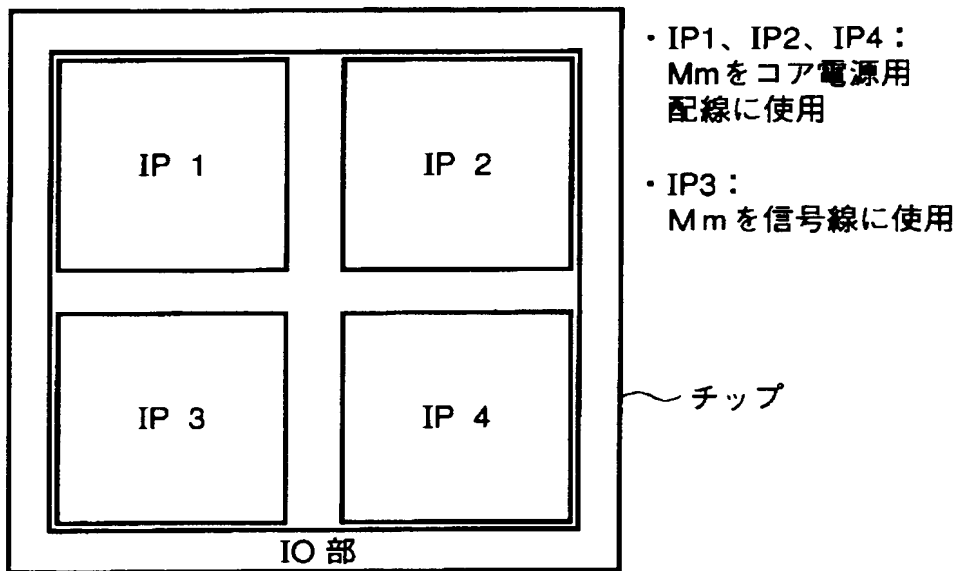
【図 2 0】



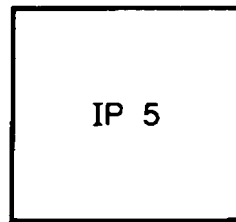
【図 2 1】

		配線層	従来				本発明	使用目的
IPコア		Mm	厚	厚	厚	厚	厚	チップ電源用配線
		⋮						
		Mm+2	薄	厚	厚	厚	薄	信号線
		Mm+1	薄	薄	厚	厚	薄	信号線
		Mm	薄	薄	薄	厚	厚	コア電源用配線/信号線
		⋮						
	M2	薄	薄	薄	薄	薄	薄	信号線
	M1	薄	薄	薄	薄	薄	薄	信号線

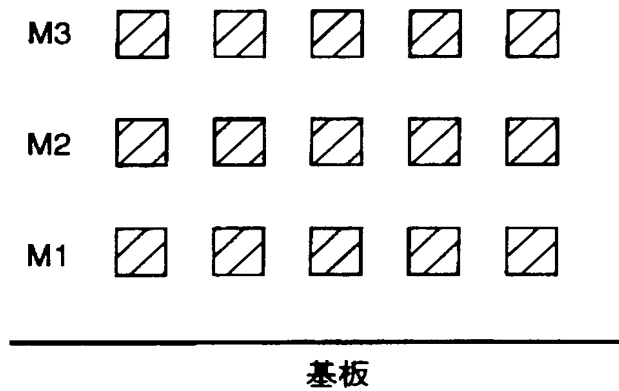
【図 2 2】



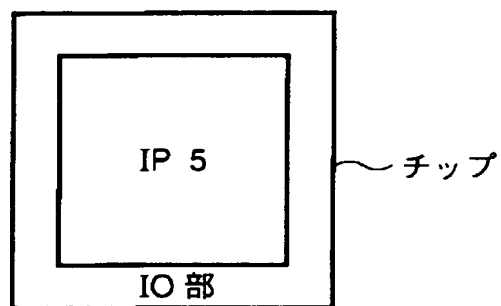
【図 2 3】



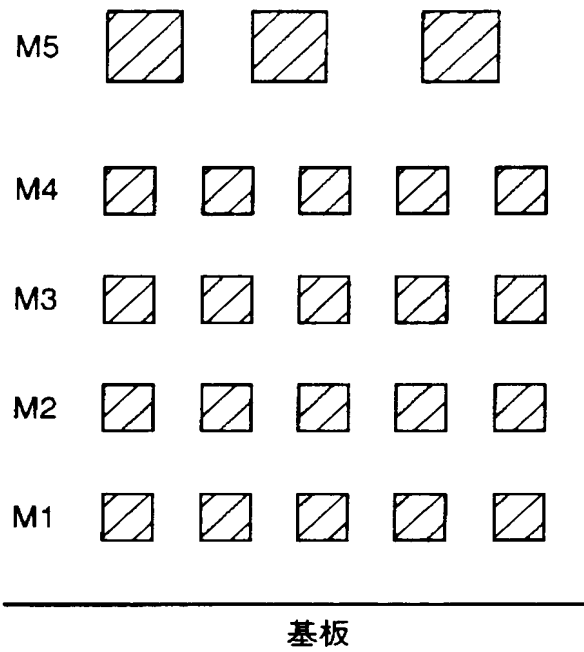
【図 2 4】



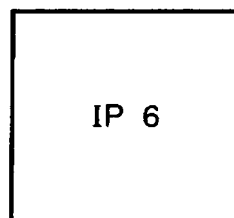
【図 2 5】



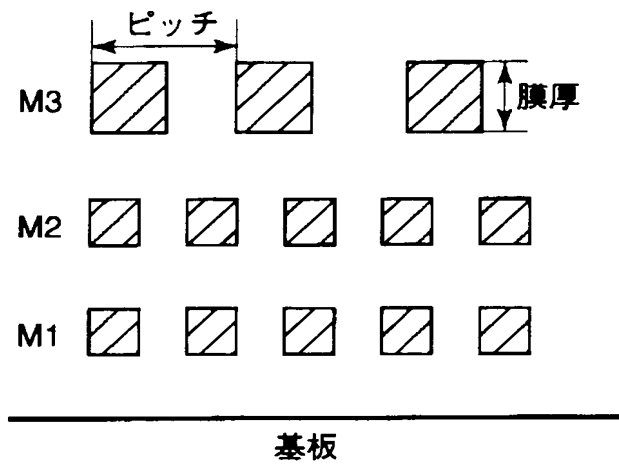
【図 2 6】



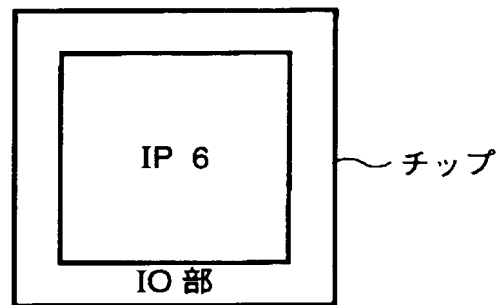
【図 2 7】



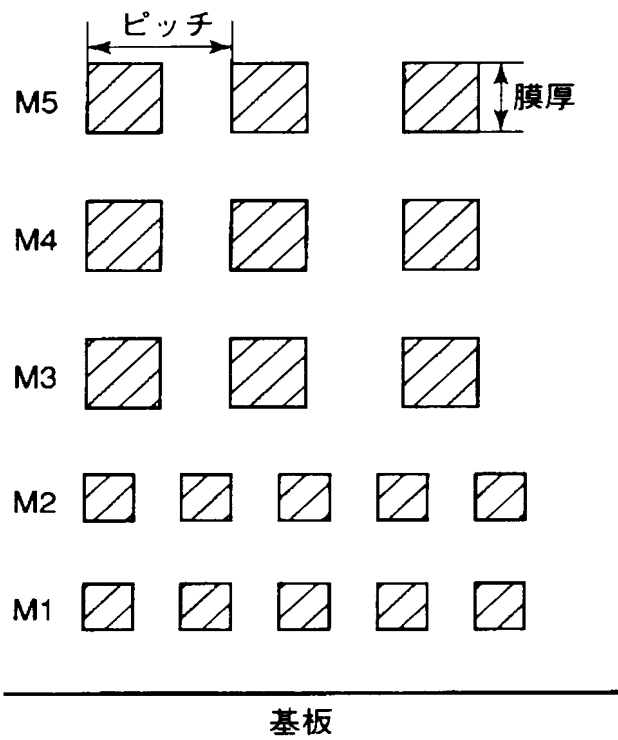
【図 2 8】



【図 2 9】



【図 3 0】



【書類名】 要約書

【要約】

【課題】 I P 性能の劣化防止と配線効率の向上を図る。

【解決手段】 I P コア I P 1 は、メタル層 M 1, M 2, M 3 を有し、I P コア I P 2 も、メタル層 M 1, M 2, M 3 を有する。I P コア I P 1, I P 2 の最上層 M 3 は、共に、厚膜から構成され、コア電源用配線又は信号線として使用される。I P コア I P 1, I P 2 の最上層 M 3 上には、薄膜から構成される薄いメタル層 M 4 が配置される。薄いメタル層 M 4 は、信号線に使用され、そのピッチも狭められている。半導体デバイスの最上層 M 5 は、厚膜から構成され、チップ電源用配線又はパッド用メタルとして使用される。I P コア I P 1, I P 2 は、1 チップ内に混載される。

【選択図】 図 1 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町 7 2 番地
氏 名	株式会社東芝